

Japanese Kokai Patent Application No. Sho 60[1985]-252958

Job No.: 844-92663

Ref.: JP 60-252958

Translated from Japanese by the Ralph McElroy Translation Company
910 West Avenue, Austin, Texas 78701 USA

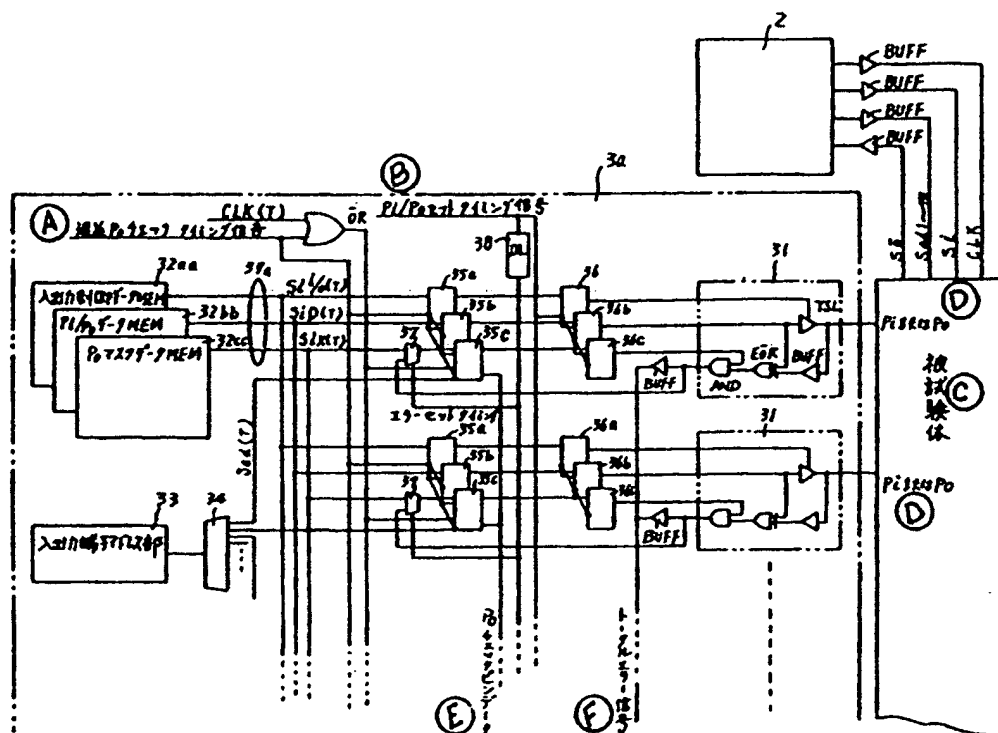


Figure 1(a)

- | | | |
|------|------|---------------------------------------|
| Key: | A | Delayed Po check timing signal |
| | B | Pi/Po set timing signal |
| | C | Object for testing |
| | D | Pi or Po |
| | E | Po check pin data |
| | F | Total error signal |
| | 32aa | Input/output control data memory unit |
| | 32bb | Pi/Po data MEM |
| | 32cc | Po mask data MEM |
| | 33 | Input/output terminal address unit |

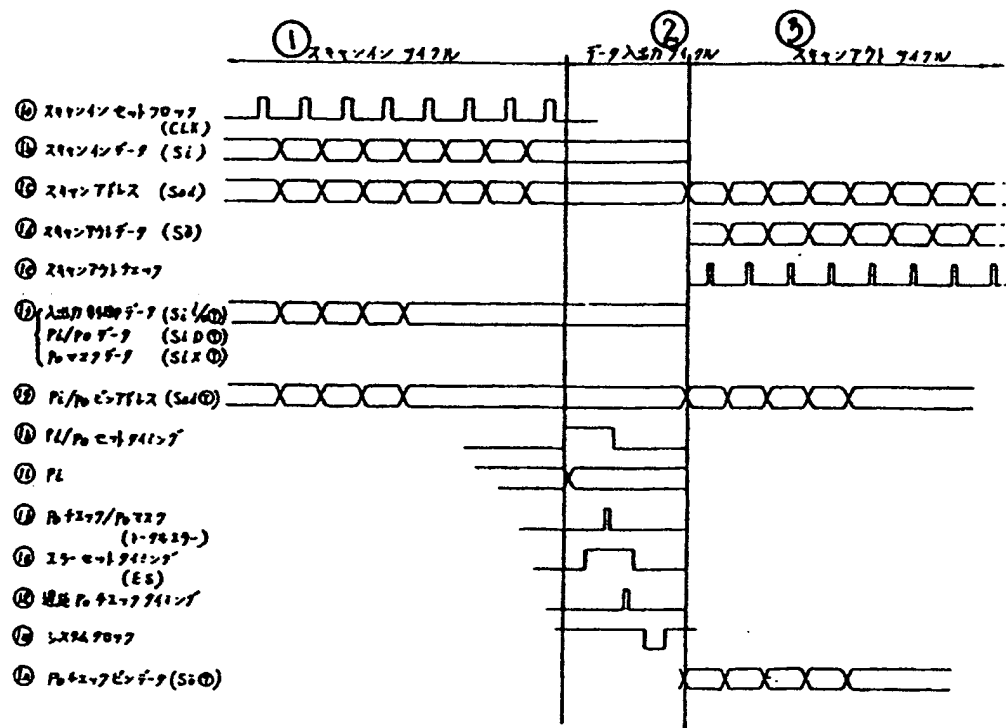
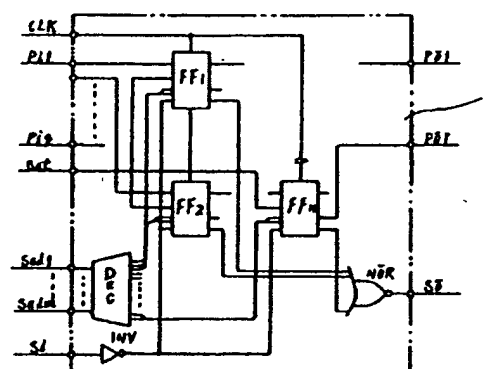


Figure 1(b)

- Key:
- 1 Scan-in cycle
 - 2 Data input/output cycle
 - 3 Scan-out cycle
 - 1a Scan-in set clock (CLK)
 - 1b Scan-in data (Si)
 - 1c Scan address (Sad)
 - 1d Scan-out data (So)
 - 1e Scan-out check
 - 1f Input/output control data (Si/o T)
 - 1g Pi/Po data (SiD T)
 - 1h Po mask data (Six T)
 - 1i Pi/Po pin address (Sad T)
 - 1j Pi/Po set timing
 - 1k Po check/Po mask (Total error)
 - 1l Error set timing (ES)
 - 1m Delayed Po check timing
 - 1n System clock
 - 1o Po check pin data (So T)

(a)



(b)

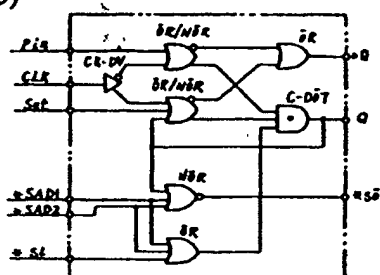


Figure 2

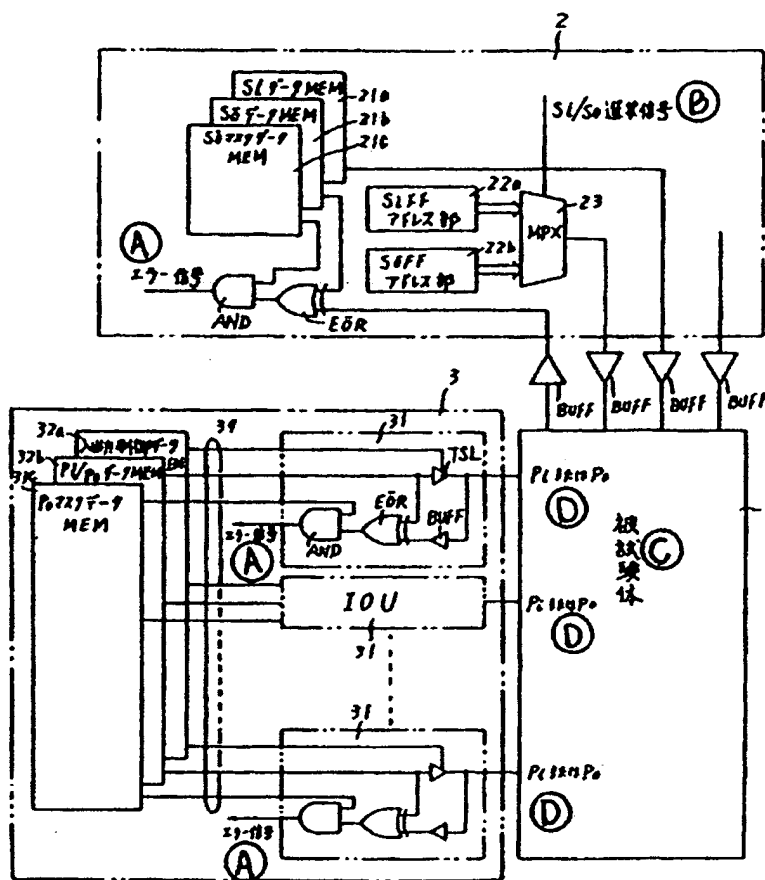


Figure 3

- Key:
- 21a Si data MEM
 - 21b So data MEM
 - 21c So mask data MEM
 - 22a Si FF address unit
 - 22b SoFF address unit
 - 32a Input/output control data MEM
 - 32b Pi/Po data MEM
 - 32c Po mask data MEM
 - A Error signal
 - B Si/So selection signal
 - C Object for testing
 - D Pi or Po

JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. SHO 60[1985]-252958

Int. Cl. ⁴ :	G 06 F 11/22 G 01 R 31/28
Sequence Nos. for Office Use:	7343-5B 6740-2G
Filing No.:	Sho 59[1984]-109936
Filing Date:	May 30, 1984
Publication Date:	December 13, 1985
No. of Inventions:	1 (Total of 8 pages)
Examination Request:	Not filed

TEST SYSTEM OF LOGIC CIRCUIT

Inventor:	Tsugito Serizawa Fujitsu, Ltd. 1015 Kamiotanaka, Nakahara-ku, Kawasaki-shi
Applicant:	Fujitsu, Ltd. 1015 Kamiotanaka, Nakahara-ku, Kawasaki-shi
Agent:	Koshiro Matsuoka, patent attorney

[There are no amendments to this patent.]

Claim

A test system of logic circuits characterized by the following facts: it is a scan in/out test system; the scan in/out test system is composed of a first test control unit, which scans in/out the data bits in each flip-flop circuit of the logic circuit of an object for testing and compares them with first expected data corresponding to the scan-in data, and a second test control unit, which applies other test data to a data input terminal and compares the output data obtained at the data

output terminal with second expected data; this scan in/out test system performs scan in/out data input/output and scan-out, and, according to the comparison results obtained in said two control units, tests the function of the object for testing; said second test control unit has input/output circuit units corresponding to input/output terminals of the object for testing; the input/output circuit units are composed of a means for selecting and applying input data bits during said data input/output operation, a means for receiving output data bits, and a means for comparing the output data bits with expected data; each input/output circuit unit has a control data bit that selects and indicates the input/output operation, a 3-bit parallel register that temporarily stores the input/output expected data bit as well as a mask data bit that indicates valid/invalid of comparison, scan-in flip-flop circuits, three of them as a group, for receiving the various data bits that should be transferred to said register, and a decoding means that selects said flip-flop circuits one by one; in the second test control unit, the following operation is performed: at the scan-in operation timing executed by the first test control unit, the flip-flop circuits, which, three in a group, make the input/output control data, input/output expected data and mask data kept in a separately prepared memory means correspond to said input/output circuit unit by means of a decoding means, are selected one by one for scan-in; upon completion of the scan-in operation of the first test control unit, each data bit of a flip-flop circuit is transferred to said register and applied to the input/output circuit unit, according to the input/output control data in each register, the input/output circuit unit operates, the input data bit is applied to the input terminal of the object for testing, and, at the same time, by means of the comparison means in the input/output circuit unit, the output data bits obtained at the output terminal are compared with the expected data bits; by means of an OR output, a mismatch signal of the comparison result is detected as a total error in the data input/output operation; on the other hand, it is fed back to one circuit of the flip-flop circuits corresponding to the match/mismatch signal in said input/output circuit unit, and is kept there; then, at a scan-out timing of the first test control unit that is executed after that, the decoding means is adopted to perform an address scan operation, so that the feedback hold signal of the flip-flop circuit is sent out, and the output terminal at which the mismatch signal is obtained is identified.

Detailed explanation of the invention

Industrial application field

This invention pertains to a test system of logic circuits, especially a logic circuit in an intermediate assembly that carries a large-scale integrated circuit (LSI) having a scan-in/out function or plural logic circuit elements or LSIs and having a [logic] function.

In the prior art, digital data processing systems have been made of logic circuits. However, in recent years, with development in semiconductor technology, especially integrated

circuit technology, microprocessors (MPUs) and other complicated functions having plural logic circuit elements made of semiconductors assembled in a single package have been realized, and, at the same time, they are provided at low cost and are widely used in many industrial fields for digital control.

The logic circuits form a data processing system, such as a central processing unit (CPU) with an operation function, data holding function and data transfer function realized by a combination of latches, registers, flip-flop circuits (FF) and other sequence circuits prepared by connecting NOR, NAND, and other combination circuit elements as well as plural combination circuits to each other.

In order to improve the reliability and serviceability of said data processing system, the system has parity check, automatic error correction, re-try, self-diagnosis, and other functions. On the other hand, for LSIs and intermediate assemblies, such as printed wiring boards, etc., in order to facilitate normal functioning and to locate problems sites, in a conventional data processing operation, in addition to data input (Pi) to the input terminal and data output (Po) from the output terminal, there is a means for reading (scan-out) data at any position of FFs that form said LSI or intermediate assembly, or for writing (scan-in) data at any position. It is well known that said means has been introduced widely.

Prior art

Conventional test systems for performing said scan-in/out testing can be roughly classified into a shift register system and an address system. In both systems, operation is executed in the following sequence: [a] scan-in; [b] logic operation by means of Pi/Po; and [c] scan-out.

Figure 2(a) is a diagram illustrating an example of the constitution of an LSI/intermediate assembly as an object for testing having a scan-in/out function using the address system in the prior art and in an application example of this invention.

Figure 2(b) is a diagram illustrating an example of connection of a flip-flop circuit (FF) having a scan-in/out function and as an object unit of scan-in/out. Figure 3 is a block diagram illustrating the test system of a logic circuit using a conventional address system.

Figure 3 is a diagram illustrating the image of a printed wiring board as an example of an intermediate assembly, with object 1 for testing composed of an LSI or plural LSIs. The number n of scan-in/out objects FF_{1-n} ranges from tens to thousands. As shown in Figure 2(a), for each FF, as (Si) selecting signal is applied to selector (MPX), the address data (Sad_{1-m}) of scan-in FF address unit (22a) of first test control unit (2) applied to decoder (DEC) is selected and output. In company with said Sad_{1-m} , $N=2m$ FFs are selected one by one, and, at the same time, data from scan-in data memory unit (Si data MEM) (21a) execute the scan-in cycle set with said selected

FF according to the scan-in set timing signal (CLK) applied to the CLK terminal of object (1) for testing separately.

Here, a single buffer BUFF is shown for sending or receiving from first electrical connecting means (2) to object (1) for testing. However, for Sad_{1-m} BUFFs, there are m BUFFs corresponding to m bits.

After the scan-in operation, second test control unit (3) applies test input data (P_i) of input/output expected data memory unit (P_i/P_o data MEM) (32b) in parallel to all data input terminals Pi_{1-q} of object (1) for testing through input/output circuit unit (IOU) sequencing. At the same time, data are output from input/output control data memory unit (input/output control data MEM) (32a) that holds the input/output selection instruction data, and are sent to the selecting terminal of the tri-state circuit (TSL) of said IOU (31). Also, the outputs obtained from all data output terminals Po_{1-r} are applied to exclusive-OR (EOR) through BUFF of IOU (31), and are compared with the data of output expected data memory unit (P_o data MEM) (21b). The output is gated by means of mask data from valid/invalid instruction data memory unit (P_o mask data MEM) (32c) applied to AND circuit (AND), and a match/mismatch signal in the effective EOR is output.

In Figure 2(a), input terminals Pi_{1-q} and output terminals Po_{1-r} are shown as dedicated terminals. However, as shown in Figure 3, IOU (31) has a constitution that allows it to cope with input and/or output terminals.

After the test performed using data input/output from P_i/P_o data MEM (32b) by means of second test control unit (3), by means of scan-out state (So) selecting signal from scan-out address unit (22b), first test control unit (1) performs scan-out for FF_{1-n} of object (1) for testing again through MPX (23) by applying address data (Sad_{1-m}). Said scan-out signal (So) is compared with the data of the scan-out expected data memory unit (So data MEM) by means of EOR of said control unit (1), and it is gated by means of mask data of scan-out valid/invalid instruction data memory unit (So mask data MEM) (21c) using AND, and a valid error signal is sent.

Problems to be solved by the invention

As explained above, the scan-in/out operation is executed in the following cycles: a scan-in cycle by means of serial distribution write of Si data to FF_{1-n} by means of first test control unit (2), a data input/output cycle to all input/output terminals by means of second test control unit (3), and a scan-out cycle by means of serial read of So data using first test control unit (2).

Here, the operation performed by first test control unit (2) can be realized by means of connection using 4 - 10 or more signal lines. In the scan-in and scan-out cycles, the number of

steps needed corresponds to the number N of FF. On the other hand, in the data input/output operation using second test control unit (3), as few as two steps are enough. As far as the number of connecting lines (39) is concerned, even when those for error signal are excluded, the number of connecting lines (39) between the IOU (31) set in, say, the pin element portion, near object (1) for testing and the other circuits of second test control unit (3) left on the side of the test device main body has to be 3,072 when 1024 input/output terminals exist.

In this case, it is necessary to allot memory regions corresponding to the terminal number to input/output data MEM (32a), Pi/Po data MEM (32b), and Po mask data MEM (32c) beforehand. Consequently, these memory regions may be prepared but become useless.

For the test system and test device taking said LSI or intermediate assembly as a test object, it is preferred that the number of connecting lines be as small as possible, and that the allotment of memory regions be simple in meeting the aforementioned demand for diversified applications. In order to solve the aforementioned problems, this invention provides a test system of logic circuits.

Means to solve the problems

In order to realize the aforementioned objective, this invention provides a test system of logic circuits characterized by the following facts: it has a second test control unit that has input/output circuit units corresponding to input/output terminals of the object for testing; the input/output circuit units are composed of a means for selecting and applying input data bits during said data input/output operation, a means for receiving output data bits, and a means for comparing the output data bit with expected data; each input/output circuit unit has a control data bit that selects and indicates the input/output operation, a 3-bit parallel register that temporarily stores the input/output expected data bits as well as a mask data bit that indicates valid/invalid of comparison, scan-in flip-flop circuits, three of them as a group, for receiving the various data bits that should be transferred to said register, and a decoding means that selects said flip-flop circuits one by one; in the second test control unit, the following operation is performed: at the scan-in operation timing executed by a first test control unit, the flip-flop circuits, which, three in a group, make the input/output control data, input/output expected data and mask data kept in a separately prepared memory means correspond to said input/output circuit unit by means of a decoding means, are selected one by one for scan-in; upon completion of the scan-in operation of the first test control unit, each data bit of the flip-flop circuit is transferred to said register and applied to the input/output circuit unit, according to the input/output control data in each register; the input/output circuit unit operates, the input data bit is applied to the input terminal of the object for testing, and, at the same time, by means of the comparison means in the input/output circuit unit, the output data bits obtained at the output terminal are compared with the expected

data bits; by means of an OR output, a mismatch signal of the comparison result is detected as a total error in the data input/output operation; on the other hand, it is fed back to one circuits of the flip-flop circuit corresponding to the match/mismatch signal in said input/output circuit unit, and is kept there; then, at a scan-out timing of the first test control unit that is executed after that, the decoding means is adopted to perform an address scan operation, so that the feedback hold signal of the flip-flop circuit is sent out, and the output terminal at which the mismatch signal is obtained is identified.

Operation

According to this invention, for the signal applied to the data input/output terminals of the object for testing with the second test control unit, instead of direct distribution of the data with lines in a number three times that of the connecting line number corresponding to IOU (31) set on the periphery of the input/output terminals, a scan FF is set for each IOU (31), the necessary data are transferred in series by means of a small number of connecting lines by means of a scan-in system with respect to said FFs, and distribution is performed one by one using a decoding means.

As far as increase in time due to serial transfer is concerned, usually, the number of data input/output terminals is smaller than the number of FFs of the object for testing. Consequently, by executing serial distribution of data using the scan-in system in the second test control unit during the scan-in operation timing of the first test control unit, the test time can be maintained virtually at the same level as that in a conventional test system, and the number of connecting lines of the object for testing can be reduced effectively in this test system.

Application example

In the following, this invention will be explained in more detail with reference to an application example illustrated by figures.

Figure 1(a) is a block diagram illustrating the test system of the logic circuit in an application example of this invention. Figure 1(b) is a time chart illustrating the operation timing. The same part numbers are adopted to represent the same parts throughout the figures. Consequently, for object (1) for testing and first test control unit (2), the structure is the same as that in the prior art. Also, in second test control unit (3a), the structure of input/output circuit unit IOU (31) is the same as in the prior art.

This application example of the invention differs from the prior art, in which input/output data are directly connected with lines to corresponding IOUs (31) as described in the gist above, in that during the scan-in cycle of first test control unit (2), in second test control unit (3a), too,

distribution is performed one by one by means of decoder (34) using input/output terminal address unit (33) to scan FFs (35a), (35b), (35c) newly set using the scan-in system.

Decoder (34) successively selects scan FF (35a), (35b), (35c) corresponding to IOU (31) according to address signal Sad [1] of input/output terminal address unit (33), and performs scan-in for Si i/o(T) of the input/output control data, SiD(T) of Pi/Po data and Six(T) of Po mask data from input/output control data MEM (32aa), input/output expected data memory unit (Pi/Po data MEM) (32bb), valid/invalid instruction data memory unit (Po mask data MEM) (32cc), respectively. Also, in this timing, selector (MPX) (37) selects Six(T). In the time chart shown in Figure 1(b), this [timing] is indicated by [1f], [1g].

Usually, the input/output terminal number is smaller than the FF number of the object of scan-in of object (1) for testing. Set timing CLK (T) in the various data to FF (35a)-(35c) is shared with scan-in set timing (CLK) in first test control unit (2), that is, [1g] shown in Figure 1(b). As a result, scan-in of second test control unit (3) comes to an end before that of first test control unit (2).

The system is in standby state until completion of scan-in of first test control unit (2). Upon completion of said scan-in, according to [1b], a Pi/Po set timing signal is applied to all of registers (36a)-(36c), and the data of scan FFs (35a)-(35c) are all transferred to said register. In this case, for register (36a) set at, say, "1" with input instructed with Si i/o(T), TSL is turned ON, and input data item SiD(T) set in register (36b) is applied to input terminal Pi of object (1) for testing at [1i]*.

Consequently, in company with delay in the internal logic circuit of object (1) for testing, the output data of object (1) for testing are obtained at output terminal Po, and are applied through BUFF of IOU (31) to EOR. At this time, in register (36b) corresponding to another register (36a) set at "0" so as to assign output at Si i/o(T), output expected data Po from Pi/Po data MEM (32bb) is obtained from scan FF (35b) at register (36b) at the preceding [1h] Pi/Po set timing. Also, in a similar way, Six(T) from Po mask data MEM (32cc) is set in register (36c). Consequently, the output data of object (1) for testing are compared with output expected data Po in EOR, and, by means of AND, a match/mismatch signal that is gated as the valid signal by means of Six(T) is output.

Said match/mismatch signal has a constitution such that OR is obtained on the output side of BUFF that is connected in tandem to the signal. If there is a mismatch signal, the signal is detected as a total error signal at [1k].

* [Due to the nature of the copy provided, step numbers in Figure 1(b) herein are best guesses.]

On the other hand, said AND output with mismatch signal obtained is input to the corresponding MPX (37). At this time, error set timing (Es) delayed by delay circuit (DL) (37) is applied to MPX (37) at [1h], and the mismatch signal is set in FF (35c).

At this time, [1m] system clock is applied, and first test control unit (2) executes the scan-out cycle. Once again, Sad_{1-m} are sent one by one from SoFF address unit (22b), the contents of FF_{1-n} in object (1) for testing are read out one by one, and [1e] scan-out check is carried out in a comparison checking/mask operation in the same way as in the prior art.

In second test control unit (3), during execution of the scan-out cycle using first test control unit (2), by means of decoder (34), output terminal address unit (33) successively scans out scan FFs (35a)-(35c), and outputs Po check pin data So(T) by means of [1n], and IOU (31) that sends out a mismatch signal from AND, that is, the output terminal, is identified.

As explained above, in second test control unit (3), around the data input/output cycle at timing of scan-in/out of various data to scan FFs (35a)-(35c), treatment is performed during the scan-in/out period using first test control unit (2). Consequently, the test time in the data input/output cycle of second test control unit (3) is the same as that in the prior art, and, in a test time as short as that in the prior art, testing can be executed by means of scan-in/out of object (1) for testing.

Also, compared with the prior art, the number of connecting lines for input/output data to object (1) for testing can be reduced because connecting lines (39) in the prior art are replaced with scan-in connecting lines (39a) to scan FFs (35a)-(35c). For example, while the number of connecting lines (39) in the prior art is $1,024 \text{ lines} \times 3 = 3,072 \text{ lines}$, in this invention, the number of connecting lines (39a) is reduced to 3, and, together with the 10 lines due to $1,024 = 2^{10}$ from decoder (34) and 3 timing signal lines, there are only 16 lines. That is, in the region of second test control unit (2) [sic; (3)] where a long path is needed, the number of connecting lines can be reduced significantly.

Also, the data stored in input/output control data MEM (32aa), Pi/Po data MEM (32bb) and Po mask data MEM (32cc) can be output in series with a single output means according to the scan-in/out sequence. Consequently, there is no need to set 1,024 circuits in each single output means of the data, and the memory region can be used at high efficiency. This is a secondary effect. In the above, explanation has been provided with respect to scan-in/out using an address system. However, the test also can be carried out in the same way by means of scan-in/out of object (1) for testing with said first and/or second test control units composed of other shift register systems.

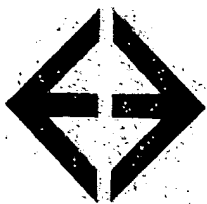
Effect of the invention

As explained above, according to this invention, compared with the prior art, in which the data input/output operation is carried out with the input/output terminals of the object for testing, in this invention, without any increase in the test time, the number of connecting lines can be reduced significantly, and the test system for logic circuits of this invention can handle variety of objects for testing easily and at high efficiency.

Brief description of the figures

Figure 1(a) is a block diagram illustrating the test system for logic circuits in an application example of this invention. Figure 1(b) is a time chart illustrating the operation timing. Figure 2(a) is a diagram illustrating an example of the constitution of the object for testing in the application example of this invention. Figure 2(b) is a diagram illustrating an example of connection of a flip-flop circuit (FF) having scan-in/out function. Figure 3 is a block diagram illustrating the test system for logic circuits by means of an address system in the prior art.

1	Object for testing
2	First test control unit
3, 3a	Second test control unit
21a	Scan-in data memory unit (Si data MEM)
21b	Scan-out expected data memory unit (So data MEM)
21c	Valid/invalid instruction data memory unit (So mask data MEM)
22a	Scan-in FF address unit
22b	Scan-out FF address unit
23	Selector (MPX)
31	Input/output circuit unit (IOU)
32a	Input/output control data memory unit
32b	Input/output expected data memory unit (Pi/Po data MEM)
32c	Valid/invalid instruction data memory unit (Po mask data MEM)
33	Input/output terminal address unit
34	Decoder
35a-35c	Scan-in FF
36a-36c	Register
37	Selector (MPX)
39, 39a	Connecting line



RALPH MCELROY TRANSLATION COMPANY

EXCELLENCE WITH A SENSE OF URGENCY®

April 3, 2003

Re: 844-92663

To Whom It May Concern:

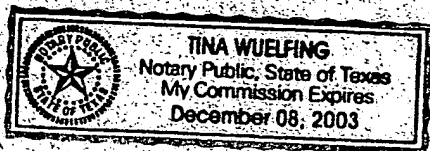
This is to certify that a professional translator on our staff who is skilled in the Japanese language translated the enclosed Japanese Kokai Patent Application No. Sho 60[1985]-252958 from Japanese into English.

We certify that the attached English translation conforms essentially to the original Japanese language.

K Vitray

Kim Vitray
Operations Manager

Subscribed and sworn to before me this 3rd day of April, 2003.



Tina Wuelfing
Tina Wuelfing
Notary Public

My commission expires: December 8, 2003

sales@mcelroytranslation.com
www.mcelroytranslation.com

(512) 472-6753
1-800-531-9977

910 WEST AVE.
AUSTIN, TEXAS 78701



FAX (512) 472-4591
FAX (512) 479-6703

jp 60252958a. pdf

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-252958

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)12月13日

G 06 F 11/22

7343-5B

G 01 R 31/28

6740-2G

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 論理回路の試験方式

⑯ 特 願 昭59-109936

⑰ 出 願 昭59(1984)5月30日

⑱ 発 明 者 芹 沢 亜 人 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 松岡 宏四郎

明 細 書

1. 発明の名称

論理回路の試験方式

2. 特許請求の範囲

被試験体の論理回路における各フリップフロップ回路にデータビットをスキャンイン/アウトしスキャンインデータに対応する第1の期待値データと、照合する第1の試験制御部と、データ入力端子に他の試験データを印加しデータ出力端子に得られる出力データを第2の期待値データと比較する第2の試験制御部よりなり、スキャンイン・データ入出力ならびにスキャンアウトを実行して両制御部で得られる比較結果により被試験体における機能を試験するスキャンイン/アウト試験システムにあって、該第2試験制御部は前記データ入出力動作時に該入力データビットを選択印加する手段、出力データビットを受信する手段ならびに出力データビットを期待値データビットと比較する手段よりなる入出力回路ユニットを被試験体の入出力端子に対応して具備し、該入出力回路ユニ

ット毎に入力または出力動作を選択指示する制御データビット、入力または出力期待値データビットならびに照合比較の有効/無効を指示するマスクデータビットを一時保持する3ビット並列レジスタ、該レジスタに転送すべき各データビットを受信する3個1組のスキャンインフリップフロップ回路および該フリップフロップ回路を逐一選択するデ・コード手段を具備してなり、第2試験制御部は第1試験制御部の実行するスキャンイン動作タイミングにおいて、別途備えた記憶手段に保持する入出力制御データ、入力または出力期待値データならびにマスクデータをそれぞれデコード手段により前記入出力回路ユニットに対応する3個1組のフリップフロップ回路を逐一選択せしめてスキャンインし、第1試験制御部のスキャンイン動作終了に伴い該フリップフロップ回路の各データビットを該レジスタに転送して入出力回路ユニットに印加せしめ各レジスタにおける入出力制御データに従い入出力回路ユニットをして入力データビットを被試験体の入力端子に印加すると共

て、出力端子に得られる出力データビットを出力回路ユニットにおける該比較手段により期待値データビットと比較し、その照合結果の不一致信号を論理和出力によりデータ入出力動作におけるトータルエラーとして検出せしめる一方、該入出力回路ユニットにおける一致不一致信号に対応するフリップフロップ回路の1回路に導通して保持せしめ、引き続き実行する第1試験制御部のスキヤンアウトタイミングにおいてデコード手段をして行わしめるアドレススキヤン動作により該フリップフロップ回路の導通保持信号を送出せしめ不一致信号が得られた出力端子を識別することを特徴とする論理回路の試験方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は論理回路とりわけスキヤンイン/アウト機能を有する高集積回路素子(LSI)あるいは複数の論理回路素子ないしはLSIを搭載し該機能を備えた中間実装体における論理回路の試験方式に関する。

を容易にするため、通常のデータ処理動作におけるそれ等の入力端子よりのデータ入力(Pi)または出力端子よりのデータ出力(Po)とは別に、該LSIあるいは中間実装体を構成するFFの任意位置におけるデータを読出す(スキヤンアウト)または任意位置にデータを書込む(スキヤンイン)手段が広く導入されていることは周知の通りである。

(従来の技術)

従来より上記スキヤンイン/アウトによる試験方法はシフトレジスタ方式とアドレス方式に大別され、何れの場合も①スキヤンイン、②Pi/Poによる論理動作、③スキヤンアウトの順で実行される。

第2図(a)に従来および本発明の一実施例におけるアドレス方式によるスキヤンイン/アウト機能を備えた被試験体となるLSI/中間実装体の構成例図。

第2図(b)にそのスキヤンイン/アウトの対象単位となるスキヤンイン/アウト機能を有するフリップ

フロップ回路(FF)の接続例図および第3図は従来におけるアドレス方式による論理回路の試験方式によるブロック図を示す。

第3図における被試験体1はLSIまたは複数のLSIより構成される中間実装体例えば印刷配線板のイメージであり、スキヤンイン/アウトの対象となるFF1~nの個数nは数10から数1000に達し、各FFは第2図(a)におけるデコード(DEC)に印加される第1試験制御部2のスキヤンイン/アウトアドレス部22aのアドレスデータ(Sad1~m)を選択器(MPX)に(Si)選択信号を印加して選択送出せしめて、該Sad1~mに伴う $N=2^n$ 個のFFが逐一選択されると共に、スキヤンインデータ記憶部(SiデータMEM)21aからのデータを別途被試験体1のCLK端子に印加されるスキヤンインセフトタイミング信号(CLK)に従って該選択FFに設定するスキヤンインサイクルを実行する。

これ等のデータ処理システムはその信頼性、保守性を向上せしめるため、パリティチェック、自動誤訂正、再試行、自己診断等の機能を備える一方、LSIあるいは中間実装体例えば印刷配線板等における機能の正常性あるいは故障位置の指摘

を容易にするため、通常のデータ処理動作におけるそれ等の入力端子よりのデータ入力(Pi)または出力端子よりのデータ出力(Po)とは別に、該LSIあるいは中間実装体を構成するFFの任意位置におけるデータを読出す(スキヤンアウト)または任意位置にデータを書込む(スキヤンイン)手段が広く導入されていることは周知の通りである。

第3図における被試験体1はLSIまたは複数のLSIより構成される中間実装体例えば印刷配線板のイメージであり、スキヤンイン/アウトの対象となるFF1~nの個数nは数10から数1000に達し、各FFは第2図(a)におけるデコード(DEC)に印加される第1試験制御部2のスキヤンイン/アウトアドレス部22aのアドレスデータ(Sad1~m)を選択器(MPX)に(Si)選択信号を印加して選択送出せしめて、該Sad1~mに伴う $N=2^n$ 個のFFが逐一選択されると共に、スキヤンインデータ記憶部(SiデータMEM)21aからのデータを別途被試験体1のCLK端子に印加されるスキヤンインセフトタイミング信号(CLK)に従って該選択FFに設定するスキヤンインサイクルを実行する。

ここで第1試験制御部2より被試験体1に送出または受信するための各バッファBUFFは単数と

して示したが $S_{ad1 \sim m}$ 図の BUFF については m ビットに対応する m 個の BUFF により構成されているものとする。

このスキャンイン動作の後第2試験制御部3は被試験体1の全データ入力端子 $P_{i1 \sim q}$ に対し入出力回路ユニット(IOUS)列を介し入力または出力期待値データ記憶部(P_i/P_o データMEM)32bの試験入力データ(P_i)を並列に印加すると共に入力または出力の選択指示データを保持する入出力制御データ記憶部(入出力制御データMEM)32aより送出せしめて該IOUS1のトライステート回路(TSL)の選択端子に送出すると共に、全データ出力端子 $P_{o1 \sim r}$ に得られる出力をIOUS1のBUFFを介しその排他的論理和回路(EOR)に印加し出力期待値データ記憶部(P_o データMEM)21bのデータと比較してその出力をAND回路(AND)に印加する有効/無効指示データ記憶部(P_o マスクデータMEM)32cよりのマスクデータによりゲートして有効なEORにおける一致/不一致信号を送出せしめる。

尚第2図(a)における入力端子 $P_{i1 \sim q}$ ならびに出力端子 $P_{o1 \sim r}$ はそれぞれ専用端子として表示したが、第3図に示すIOUS1は入力または/および出力端子の何れにも対応出来るよう構成されているものとする。

このように第2試験制御部3によるPI/POデータMEM32bからのデータ入出力による試験の後、第1試験制御部1は被試験体1のFF1 \sim nを再びスキャンアウトアドレス部22bよりスキャンアウト状態(S_o)選択信号によるMPX23を介し、アドレスデータ($S_{ad1 \sim m}$)の印加によりスキャンアウトして該スキャンアウン信号(S_o)を該制御部1のEOR^{OP}によりスキャンアウト期待値データ記憶部(S_o データMEM)のデータと比較しANDによりスキャンアウト有効/無効指示データ記憶部(S_o マスクデータMEM)21cのマスクデータによりゲートとして有効エラー信号を送付せしめる。

(発明が解決しようとする問題点)

以上のようにスキャンイン/アウト動作は第1

試験制御部2によるFF1 \sim nへの S_i データの直列分配書き込みによるスキャンインサイクル、第2試験制御部3による全入出力端子へのデータ入出力サイクルならびに第1試験制御部2による S_o データの直列読出しによるスキャンアウトサイクルを実行する。

ここで第1試験制御部2による動作は4 \sim 10数本の信号線による接続で済むがスキャンインおよびスキャンアウトサイクルにおいてそれぞれFFの数 N に匹敵するステップ数だけ要し、逆に第2試験制御部3によるデータ入出力動作は2ステップ程度の少ステップが済むがその接続線39の数はエラー信号用を除いても被試験体1に近接する例えばピンエレメント部分に設置するIOUS1と試験装置本体側に残る第2試験制御部3の他回路との接続線39の本数は例えば入出力端子数が1024本存在すれば3,072本をも必要とする欠点を有していた。

このことは入出力制御データMEM32a、PI/POデータMEM32b、POマスクデータMEM32c

にも端子数に対応して予め記憶領域を割付ける必要があるためこれ等の記憶領域が場合によっては無駄に準備される場合も存在する。

このようなLSIや中間実装体を試験対象とする試験方式や試験装置ではこれ等の多様化に対して接続線数が出来るだけ少なくて済み、記憶領域の割付け¹³簡単なことが望ましい。本発明は以上の問題点を解決する論理回路の試験方式を提供しようとするものである。

(問題点を解決するための手段)

この目的は、該第2試験制御部は前記データ入出力動作時に既し入力データビットを選択印加する手段、出力データビットを受信する手段ならびに出力データビットを期待値データビットと比較する手段よりなる入出力回路ユニットを被試験体の入出力端子に対応して具備し、該入出力回路ユニット毎に入力または出力動作を選択指示する制御データビット、入力または出力期待値データビットならびに照合比較の有効/無効を指示するマスクデータビットを一時保持する3ビット並列レ

ジスタ、該レジスタに転送すべき各データビットを受信する3個1組のスキャンインフリップフロップ回路および該フリップフロップ回路を逐一選択するデ・コード手段を具備してなり、第2試験制御部は第1試験制御部の実行するスキャンイン動作タイミングにおいて、別途備えた記憶手段に保持する入出力制御データ、入力または出力期待値データならびにマスクデータをそれぞれデコード手段により前記入出力回路ユニットに対応する3個1組のフリップフロップ回路を逐一選択せしめてスキャンインし、第1試験制御部のスキャンイン動作終了に伴い該フリップフロップ回路の各データビットを該レジスタに転送して、入出力回路ユニットに印加せしめ、各レジスタにおける入出力制御データに従い入出力回路ユニットをして入力データビットを被試験体の入力端子に印加すると共に、出力端子に得られる出力データビットを入出力回路ユニットにおける該比較手段により期待値データビットと比較し、その照合結果の不一致信号を論理和出力によりデータ入出力動作に

おけるトータルエラーとして検出せしめる一、該入出力回路ユニットにおける不一致信号に対応するフリップフロップ回路の1回路に帰還して保持せしめ、引続き実行する第1試験制御部のスキャンアウトタイミングにおいてデコード手段をして行わしめるアドレススキャン動作により該フリップフロップ回路の帰還保持信号を送出せしめ不一致信号が得られた出力端子を識別する本発明を提供することによって達成される。

〔作用〕

本発明によれば第2試験制御部による被試験体のデータ入出力端子に印加する信号を入出力端子周辺に設けたIOU31に対応する接続線数の3倍によって直接データを分配していたの代り、該IOU31毎にスキャンFFを設け該FFに対しスキャンイン方式によって必要データを少数接続線によって直列に伝送してデコード手段により逐一分配する。

直列伝送による時間の増加は通常データ入出力端子数<被試験体のFF数であるところから第1

試験制御部のスキャンイン動作タイミング中に第2試験制御部における該スキャンイン方式によるデータの直列分配を実行することによって実質的な試験時間は従来の試験方式と変わらないレベルに維持しつつ、被試験体との接続線数を効果的に削減する試験方式を得ようとするものである。

〔実施例〕

以下図面を参照しつつ、本発明の一実施例により説明する。

第1図(a)は本発明の一実施例における論理回路の試験方式によるブロック図および第1図(b)はその動作タイミングを示すタイムチャートである。全図を通じて同一符号は同一の対象物を示す。従って被試験体1および第1試験制御部2については従来と異なり、また第2試験制御部3aにおいても入出力回路ユニットIOU31は従来と異なる。

本発明の一実施例では前項の要旨に述べたように従来各入出力端子即ち対応するIOU31毎に入出力するデータを直接接続線によっていたの

対して、第1試験制御部2のスキャンインサイクル中に第2試験制御部3aにおいてもスキャンイン方式により新たに設けたスキャンFF35a, b, cに対し入出力端子アドレス部33によりデコード34を介して逐一分配する点異なる。

デコード34は入出力端子アドレス部33のアドレス信号Sad①に従いIOU31に対応するスキャンFF35a, b, cを逐一選択して入出力制御データMEM32aa, 入力または出力期待値データ記憶部(Pi/PoデータMEM)32bb, 有効/無効指示データ記憶部(PoマスクデータMEM)32ccからの入出力制御データのSi i/o(m), Pi/PoデータのSiD(m)およびPoマスクデータのSi x(m)をスキャンインする。尚選択器(MPX)37はこのタイミングにおいてはSi x(m)を選択している。第1図(b)のタイムチャートとは①, ②である。

通常入出力端子数<被試験体1のスキャンイン対象のFF数であり、FF35a~cへの各データにおけるセットタイミングCLK(m)を第1試験制

部2におけるスキャンインセットタイミング(CLK)即ち第1図例の④と共通にすれば第2試験制御部3のスキャンインは第1試験制御部2と比較して短時間に終了する。

第1試験制御部2のスキャンイン終了を待機し、その終了に伴って④よりPi/Poセットタイミング信号を全レジスタ36a~cに印加しスキャンFF35a~cのデータを該レジスタに一齐に転送する。ここでSi i/o⑦によって入力を指示する例えば“1”が設定されていたレジスタ36aはTSLをオンとしてレジスタ36bに設定されていた入力データSi DMが④によって被試験体1の入力端子Piに印加される。

従って被試験体1の内部論理回路における遅延に伴う被試験体1の出力データが出力端子Poに得られIOU31のBUFFを介しEORに印加される。この時Si i/o⑦において出力を指定するよう“0”が設定されていた他のレジスタ36aに対応するレジスタ36bにはPi/PoデータMEM32bbからの出力期待値データPoがスキャン

FF35bから先の④Pi/Poセットタイミングでレジスタ36bに得られており、且レジスタ36cには同様にPoマスクデータMEM32ccからのSi x⑦がセットされているので、被試験体1の出力データはEORにおいて出力期待値データPoと照合され、ANDにおいてSi x⑦により有効信号としてゲートされた一致、不一致信号が出力される。

該一致、不一致信号はその信号を継続するBUFF出力側で論理和が得られるよう構成されており不一致信号があればトータルエラー信号として⑩のように検出される。

一方不一致信号が得られた該AND出力は対応するMPX37に入力される。この時遅延回路(DL)37により遅延されたエラーセットタイミング(Es)がMPX37に⑥のように印加されており不一致信号はFF35cにセットされる。

この時点で⑧システムクロックが印加されて第1試験制御部2はスキャンアウトサイクルを実行し、再びSoFFアドレス部22bよりSad1~n

が逐一送付されて被試験体1におけるFF1~nの内容が逐一読出され従来同様比較照合/マスク動作により⑩スキャンアウトチェックを実行する。

第2試験制御部3においては第1試験制御部2によるスキャンアウトサイクルの実行中に再び入出力端子アドレス部33はデコード34を介しスキャンFF35a~cを逐一スキャンアウトして④によるPoチェックピンデータSo⑦を送出せしめ不一致信号がANDより送付されたIOU31即ち出力端子を識別する。

以上のように第2試験制御部3における各データをスキャンFF35a~cにスキャンイン/アウトするタイミングとしてデータ入出力サイクルの前後における第1試験制御部2によるスキャンイン/アウトサイクル期間中に処理するので第2試験制御部3のデータ入出力サイクルにおける試験時間は従来と変わりなく従来と遜色ない試験時間において被試験体1のスキャンイン/アウトによる試験を実行することが出来る。

しかも従来に比較して被試験体1への入出力デ

ータの接続線数が従来の接続線39からスキャンFF35a~cへのスキャンイン用接続線39aに置換えられるので、例えば従来の接続線39は前述の1024本×3=3,072本から接続線39aの3本に削減され、デコード34からの1024=2¹⁰による10本ならびにタイミング信号線3本を加えた合計16本となり、第2試験制御部2における長経路を必要とする区間における接続線数を大幅に縮小することが出来る。

また入出力制御データMEM32aa, Pi/PoデータMEM32bbならびにPoマスクデータMEM32ccに蓄積するデータもスキャンイン/アウト順に従って1出力手段から直列に送出出来れば良いのでデータの出力手段も各々1024回路設ける必要もなくその配線領域も効率的に利用出来る2次的な効果が得られる。尚以上はアドレス方式によるスキャンイン/アウトによって説明したが第1または/および第2試験制御部を他のシフトレジスタ方式によって構成し被試験体1のスキャンイン/アウトによる試験を同様に実現するこ

とは明白である。

(発明の効果)

以上説明したように本発明によれば従来被試験体の入出力端子を対象とするデータ入出力動作のためその試験時間を従来に比較して増加せしめることなく接続線数を大幅に縮小して被試験体の多様性に対し対応が容易な効率の良い論理回路の試験方式を提供することが出来る。

4. 図面の簡単な説明

第1図(a)は本発明の一実施例における論理回路の試験方式によるブロック図、第1図(b)はその動作タイミングを示すタイムチャート、第2図(a)は従来および本発明の一実施例における被試験体の構成例図、第2図(b)はそのスキャンイン/アウト機能を有するフリップフロップ回路(FF)の接続例図、および第3図は従来におけるアドレス方式による論理回路の試験方式によるブロック図を示す。図において、1は被試験体、2は第1試験制御部、3、3aは第2試験制御部、21aはスキャンインデータ記憶部(SiデータMEM)、21b

はスキャンアウト期待値データ記憶部(SoデータMEM)、21cは有効/無効指示データ記憶部(SoマスクデータMEM)、22aはスキャンインFFアドレス部、22bはスキャンアウトFFアドレス部、23は選択器(MPX)、31は入出力回路ユニット(IOU)、32aは入出力制御データ記憶部、32bは入力または出力期待値データ記憶部(Pi/PoデータMEM)、32cは有効/無効指示データ記憶部(PoマスクデータMEM)、33は入出力端子アドレス部、34はデコーダ、35a〜cはスキャンインFF、36a〜cはレジスタ、37は選択器(MPX)、および39、39aは接続線である。

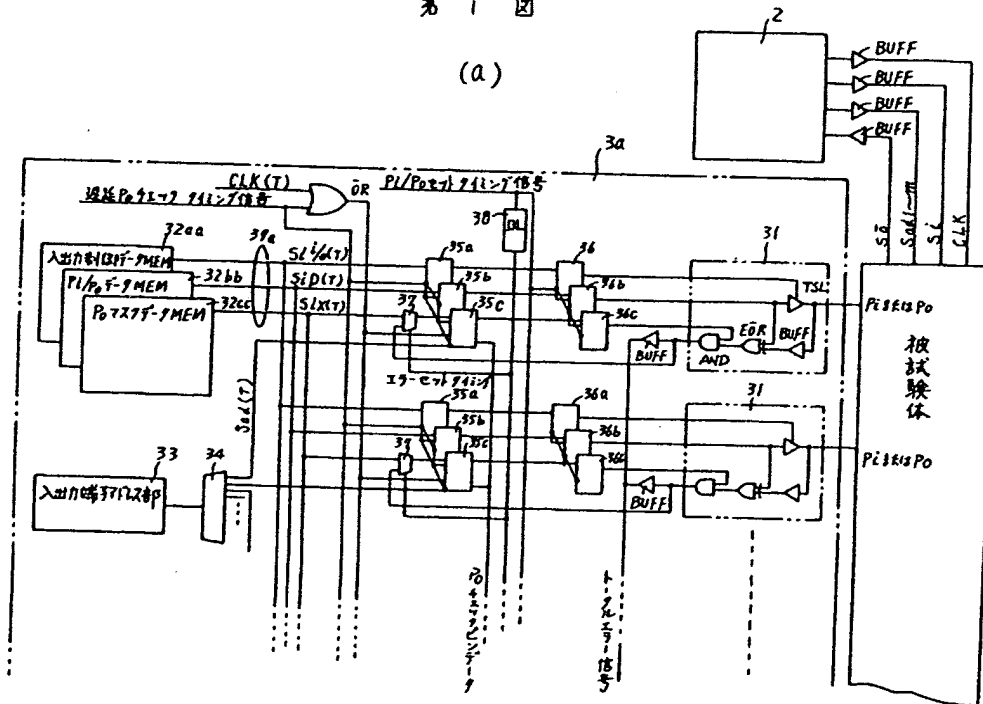
代理人 弁理士 松岡 安四郎



23
31

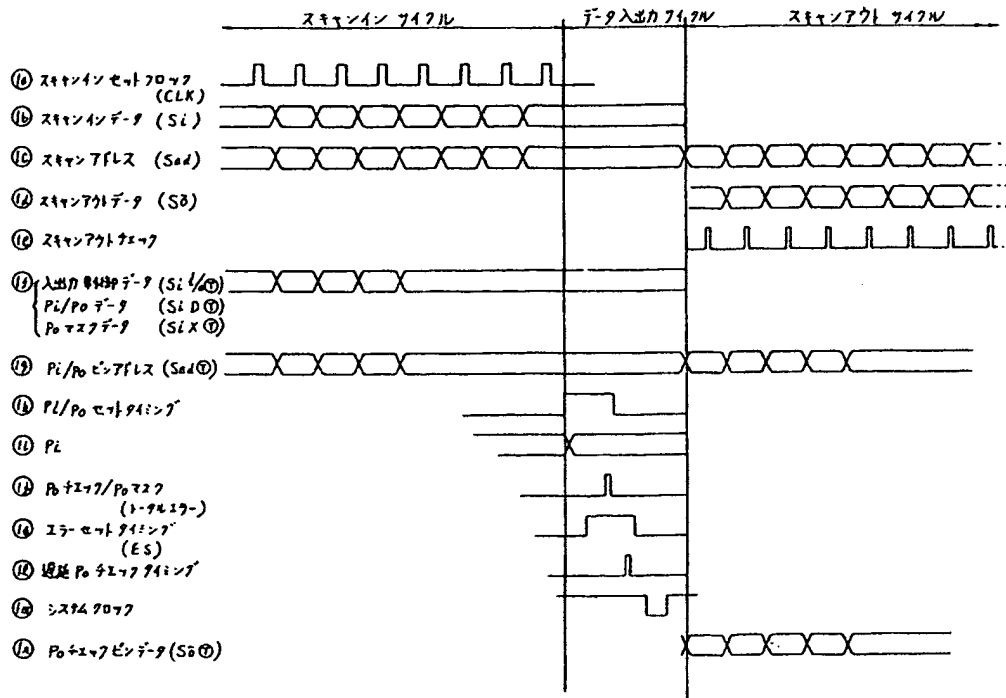
第1図

(a)



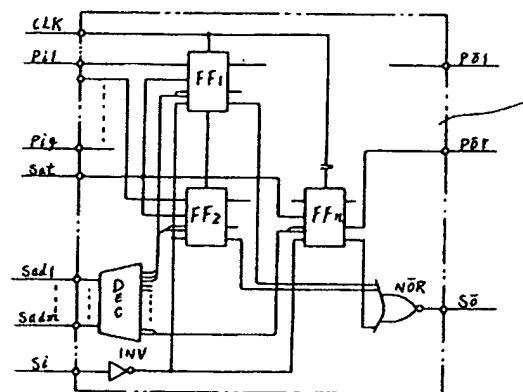
第 1 図

(b)

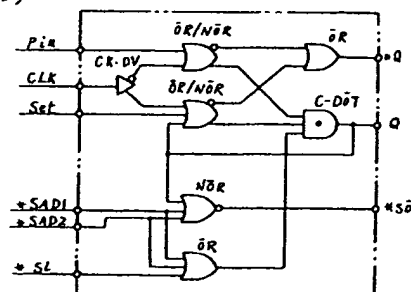


第 2 図

(a)



(b)



第 3 図

